

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年12月 3日

出 願 番 号

Application Number:

平成11年特許願第344933号

出 願 人

Applicant(s):

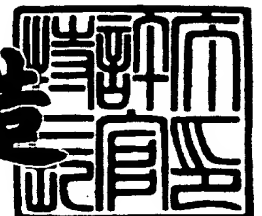
シャープ株式会社

Sharp

2000年 7月28日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3060184

【書類名】 特許願

【整理番号】 99J02583

【提出日】 平成11年12月 3日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/786

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 19

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区长池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 徳重 信明

【特許出願人】

 【識別番号】 000005049

 【氏名又は名称】 シャープ株式会社

【代理人】

 【識別番号】 100065248

 【弁理士】

 【氏名又は名称】 野河 信太郎

【先の出願に基づく優先権主張】

 【出願番号】 平成11年特許願第260738号

 【出願日】 平成11年 9月14日

【先の出願に基づく優先権主張】

 【出願番号】 平成11年特許願第274440号

 【出願日】 平成11年 9月28日

【手数料の表示】

 【予納台帳番号】 014203

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003084

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に埋め込み絶縁膜を介して半導体層が形成された S O I 基板の半導体層に M O S トランジスタが形成されてなる半導体装置であって、前記 M O S トランジスタにより構成される半導体回路の動作状態と待機状態とで、それぞれ異なるバイアス電圧が前記半導体基板に印加されてなる半導体装置。

【請求項 2】 半導体層に素子分離領域が形成され、該素子分離領域に半導体基板にバイアス電圧を印加するためのコンタクト部が形成されてなる請求項 1 に記載の半導体装置。

【請求項 3】 半導体層に形成された M O S トランジスタの下方の半導体基板表面に、該基板の他の領域よりも不純物濃度の高いウェルが形成され、該ウェルにバイアス電圧が印加されてなる請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 M O S トランジスタが N チャネル型 M O S トランジスタと P チャネル型 M O S トランジスタとであり、前記 N チャネル型 M O S トランジスタの下方の半導体基板には P 型ウェルが形成され、前記 P チャネル型トランジスタの下方の半導体基板には N 型ウェルが形成されてなる請求項 3 に記載の半導体装置。

【請求項 5】 P 型ウェルと N 型ウェルとが、電氣的に分離された状態で半導体基板に形成されてなる請求項 4 に記載の半導体装置。

【請求項 6】 半導体基板上に埋め込み絶縁膜を介して半導体層が形成された S O I 基板の半導体層に M O S トランジスタが形成されてなる半導体装置であって、前記半導体層に形成された素子分離領域に前記半導体基板にバイアス電圧を印加するためのコンタクト部が形成されてなる半導体装置。

【請求項 7】 半導体層に形成された M O S トランジスタの下方の半導体基板表面に、該基板の他の領域よりも不純物濃度の高いウェルが形成され、該ウェルにバイアス電圧が印加されてなる請求項 6 に記載の半導体装置。

【請求項 8】 M O S トランジスタが N チャネル型 M O S トランジスタと P

チャネル型MOSトランジスタとであり、前記Nチャネル型MOSトランジスタの下方の半導体基板にはP型ウェルが形成され、前記Pチャネル型トランジスタの下方の半導体基板にはN型ウェルが形成されてなる請求項7に記載の半導体装置。

【請求項9】 P型ウェルとN型ウェルとが、電氣的に分離された状態で半導体基板に形成されてなる請求項8に記載の半導体装置。

【請求項10】 MOSトランジスタにより構成される半導体回路の動作状態と待機状態とにおいて、それぞれ異なるバイアス電圧が印加されてMOSトランジスタの閾値電圧が変化してなる請求項6～9のいずれか1つに記載の半導体装置。

【請求項11】 支持基板上に第1絶縁層、第1半導体層、第2絶縁層及び第2半導体層が順次形成された多層SOI基板の第2半導体層にMOSトランジスタが形成されてなる半導体装置であって、前記第1半導体層にバイアス電圧が印加されてなる半導体装置。

【請求項12】 第2半導体層に素子分離領域が形成され、該素子分離領域に第1半導体層にバイアス電圧を印加するためのコンタクト部が形成されてなる請求項11に記載の半導体装置。

【請求項13】 第2半導体層に形成されたMOSトランジスタの下方の第1半導体層表面に、該第1半導体層の他の領域よりも不純物濃度の高いウェルが形成され、該ウェルにバイアス電圧が印加されてなる請求項11又は12に記載の半導体装置。

【請求項14】 MOSトランジスタがNチャネル型MOSトランジスタとPチャネル型MOSトランジスタとであり、前記Nチャネル型MOSトランジスタの下方の第1半導体層にはP型ウェルが形成され、前記Pチャネル型トランジスタの下方の第1半導体層にはN型ウェルが形成されてなる請求項13に記載の半導体装置。

【請求項15】 P型ウェルとN型ウェルとが、電氣的に分離されてなる請求項14に記載の半導体装置。

【請求項16】 P型ウェルとN型ウェルとが、絶縁層により電氣的に分離

されてなる請求項 1 5 に記載の半導体装置。

【請求項 1 7】 絶縁層が、第 2 半導体層、第 2 絶縁層及び第 1 半導体層を貫通して形成された素子分離領域を構成する絶縁層の一部である請求項 1 6 に記載の半導体装置。

【請求項 1 8】 MOS トランジスタにより構成される半導体回路の動作状態と待機状態とにおいて、それぞれ異なるバイアス電圧が印加されて MOS トランジスタの閾値電圧が変化してなる請求項 1 1 ～ 1 7 のいずれか 1 つに記載の半導体装置。

【請求項 1 9】 (a) 半導体基板又は半導体層上に埋め込み絶縁膜及び表面半導体層が形成された S O I 基板の前記表面半導体層に素子分離領域を形成する工程と、

(b) 前記半導体基板又は半導体層に達するトレンチを前記素子分離領域内に形成する工程と、

(c) 前記トレンチを含む表面半導体層上全面に絶縁膜を形成する工程と、

(d) 該絶縁膜をエッチバックすることにより前記トレンチの側壁にサイドウォール Spacer を形成するとともにトレンチ底部の前記半導体基板又は半導体層を露出させる工程と、

(e) 前記トレンチ内に導電膜を埋め込むことにより素子分離領域内に前記半導体基板又は半導体層に接続されたコンタクト部を形成する工程を含む半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、より詳細には、S O I 基板又は多層 S O I 基板に MOS トランジスタが形成されて構成される半導体装置及びその製造方法に関する。

【 0 0 0 2 】

【従来の技術及び発明が解決しようとする課題】

近年、大規模集積回路の集積度は急速な勢いで増加している。それに伴って、

MOS型集積回路に搭載されているMOSトランジスタのゲート長は、実用化レベルでは0.2ミクロン以下になっており、研究レベルでは0.05ミクロンに達している。このような微細なMOSトランジスタにおいて、高性能及び長期信頼性を有する微細MOSトランジスタを実現するために、様々な要因を考慮しながら構造の最適化を行なわなければならない。

【0003】

MOS型集積回路においてさらに高い集積度を実現するためには、MOSトランジスタ全体の寸法をさらに小さくしなければならない。また、寸法を小さくしても、電流駆動能力などの基本性能が低下しないようにするために、ゲート長を短くする必要がある。

しかし、ゲート長を短くすると、「短チャネル効果」と呼ばれる現象が顕著になる。ここで、短チャネル効果とは、ゲート長の減少に伴って、トランジスタのしきい値やソース／ドレイン間の耐圧が低下し、サブスレシヨルド係数の値が増加する現象である。

【0004】

このような短チャネル効果を抑制して良好な特性のトランジスタを実現するために、通常、ゲート長の減少に伴って、チャネル部の不純物濃度を増加させる方法がある。

しかし、このような一般的原則に基づいて微細MOSトランジスタを作製すると、ドレインと基板との間に形成されるp-n接合の容量が増加するため、寄生容量の充放電に要する時間が増加して回路動作速度が低下することとなる。

【0005】

これまで、トランジスタの微細化（構造の最適化）は、これらの難問をバランス良く解決しながら実施されてきたが、微細加工技術などの製造技術、集積回路システムの設計及び複雑な回路設計技術等の問題を解決しつつ、トランジスタをさらに微細化して集積度を向上することは、非常に困難である。

これに対して、SOI基板上にトランジスタを形成する方法が提案されている。

【0006】

一般に S O I 基板上に作製されるトランジスタは、その構造から「完全空乏化型」と「部分空乏化型」という二種類に分類されている。これらは、N M O S / S O I や P M O S / S O I のチャネル部のシリコン層に導入する不純物の濃度とシリコン層の厚さが決まると、この不純物濃度によって決定される空乏層の幅の最大値（最大空乏層幅）とチャネル部のシリコン層の厚さの大小関係が決定される。すなわち、チャネル部のシリコン層の厚さよりも最大空乏層幅の方が大きいトランジスタは「完全空乏化型 S O I トランジスタ」と呼ばれ、チャネル部のシリコン層の厚さよりも最大空乏層幅の方が小さいトランジスタは「部分空乏化型 S O I トランジスタ」と呼ばれている。

しかし、S O I 基板を用いた集積回路を、例えば、1 V 以下の非常に低い電圧で集積回路を動作させる場合には、待機時のリーク電流が大きくなり、かつ待機時に消費電流が大きくなるとう問題がある。

【0007】

そこで、この問題を解決するために、4 端子のボディコンタクト S O I が提案されている（例えば、特願平 1 0 - 1 4 1 4 8 7 号公報）。

このボディコンタクト S O I は、図 1 0 に示したように、S O I 基板 8 0 の半導体層 8 1 に形成された P 型ウェル 8 2 及び N 型ウェル 8 3 を素子分離領域 8 4 で完全分離し、P 型ウェル 8 2 及び N 型ウェル 8 3 を、ウェルコンタクト 8 5、8 6 に印加するバイアス電圧により制御することでダイナミックにしきい値電圧を変化させようとするものである。

しかし、この方法では、半導体層 8 1 の P 型ウェル 8 2 から直接電位を与えるためのコンタクトをとる必要があり、必然的に半導体層 8 1 を厚くする必要があり、チャネル領域は部分空乏になる。また、不純物濃度の薄いウェルから直接コンタクトをとるため、コンタクト部とトランジスタとの距離に関連して、ウェル抵抗が影響し、均一に基板電圧が印加されず、逆にしきい値電圧がトランジスタ毎にばらつくという問題がある。

【0008】

また、別な方法として、図 1 1 に示したように、支持基板である P 型シリコン基板の表面に部分的に高濃度不純物層を形成する方法が提案されている。つまり

、NMOSトランジスタのチャネルに対応する支持基板 8 8 と埋め込み酸化膜 8 7 との界面近傍に高濃度 P 型領域 8 9 を配置し、PMOSトランジスタの下方の支持基板 8 8 表面に N ウェル 9 0 を配置すると共に、チャネルに対応する支持基板 8 8 と埋め込み酸化膜 8 7 との界面近傍に高濃度 N 型領域 9 1 を設けた CMOS 回路である（特開平 8 - 3 2 0 4 0 号公報及び Proceeding 1995 IEEE International SOI Conference 14p, Oct. 1995 参照）。

この半導体装置においては、ドレイン電圧の上昇によって形成される支持基板 8 8 側の空乏層が、チャネル領域下部にまで広がることを抑制できるため、完全空乏型 SOI トランジスタのしきい値電圧、チャネル移動度などのパラメータが安定化し、回路の動作速度を向上させることができる。

しかし、この半導体装置においては、単に、N ウェル 9 0 が電源電圧に固定されているのみであり、積極的にウェルの電圧を変化させてトランジスタのしきい値電圧を制御するものではなく、待機時のリーク、それに基づく待機時の消費電流を低減することは困難である。

【 0 0 0 9 】

さらに、特開平 1 0 - 1 2 5 9 2 5 号公報には、図 1 2 (a) ~ (d) に示すように、支持基板 9 2 裏面に直接、正の電圧、負の電圧又は正負の両電圧を印加して、しきい値電圧を制御する半導体装置が提案されている。

しかし、ウェル 9 3 a、9 3 b への印加電圧が、支持基板 9 2 での P N 接合の逆方向耐圧の範囲内に制限されるため、その自由度が少ないという問題がある。また、ウェルに電圧を印加するためには、表面半導体層側において、コンタクトを取らなければならない、微細化の観点から問題が残る。さらに、図 1 2 (c) 及び (d) に示すように、ウェルを形成せずに支持基板 9 2 に直接、正負の両電圧を印加するのは实际的でない。しかも、図 1 2 (a) ~ (d) の半導体装置では、SOI トランジスタの寄生容量の低減により高速化を図り、ボディ電圧を、多数のキャリアが表面シリコン層のボディ下部領域にアキュムレーションするように制御することによりしきい値を制御し、フローティングボディ効果を抑制するものであり、半導体回路が動作状態であるときと待機状態であるときとで、バイアス電圧を変化させることを意図するものではない。

【 0 0 1 0 】

また、図 1 3 に示されるように第 1 絶縁層 9 4、第 1 半導体層 9 5、第 2 絶縁層 9 6 及び第 2 半導体層 9 7 という 2 層の S O I 層を用いて、閾値電圧を低く設定する構造も提案されている（特開平 8 - 2 2 2 7 0 5 号公報参照）。

しかし、この半導体装置においては、基板裏面は絶縁膜で被覆されており、閾値電圧を制御する手段がなく、単に基板バイアス効果を低減し、閾値電圧を安定化するのみであり、トランジスタの待機時のリーク電流を低減することができず、その結果として待機時の消費電流を低減することができない。

【 0 0 1 1 】

このように従来、S O I トランジスタを用いた半導体集積回路においても、ソース／ドレイン領域とチャネル下部領域との間に寄生容量が存在し、これが動作速度の高速化を妨げる要因となっていた。また、S O I トランジスタにおいて、ボディ電位を制御することによりしきい値制御及びフローティングボディ効果を抑制する方法もあるが、種々の要因で十分な効果を得られない問題があった。

【 0 0 1 2 】

本発明は、上記課題を鑑みなされたものであり、さらなる半導体装置の高集積化に対応することができ、S O I トランジスタにおける寄生容量をより低減することができ、S O I トランジスタの動作時と待機時とで異なるバイアス電圧を印加することによりさらに高速化を図ることができるとともに、しきい値を制御し、フローティングボディ効果の抑制を十分に達成し得る半導体装置及びその製造方法を提供することを目的とする。

【 0 0 1 3 】

【課題を解決するための手段】

本発明によれば、半導体基板上に埋め込み絶縁膜を介して半導体層が形成された S O I 基板の半導体層に M O S トランジスタが形成されてなる半導体装置であって、前記 M O S トランジスタにより構成される半導体回路の動作状態と待機状態とで、それぞれ異なるバイアス電圧が前記半導体基板に印加されてなる半導体装置 A が提供される。

【 0 0 1 4 】

また、半導体基板上に埋め込み絶縁膜を介して半導体層が形成された S O I 基板の半導体層に M O S トランジスタが形成されてなる半導体装置であって、前記半導体層に形成された素子分離領域に前記半導体基板にバイアス電圧を印加するためのコンタクト部が形成されてなる半導体装置 B が提供される。

【 0 0 1 5 】

さらに、支持基板上に第 1 絶縁層、第 1 半導体層、第 2 絶縁層及び第 2 半導体層が形成された多層 S O I 基板の第 2 半導体層に M O S トランジスタが形成されてなる半導体装置であって、前記第 1 半導体層にバイアス電圧が印加されてなる半導体装置 C が提供される。

【 0 0 1 6 】

また、本発明によれば、（a）半導体基板又は半導体層上に埋め込み絶縁膜及び表面半導体層が形成された S O I 基板の前記表面半導体層に素子分離領域を形成する工程と、（b）前記半導体基板又は半導体層に達するトレンチを前記素子分離領域内に形成する工程と、（c）前記トレンチを含む表面半導体層上全面に絶縁膜を形成する工程と、（d）該絶縁膜をエッチバックすることにより前記トレンチの側壁にサイドウォールスペーサーを形成するとともにトレンチ底部の前記半導体基板又は半導体層を露出させる工程と、（e）前記トレンチ内に導電膜を埋め込むことにより素子分離領域内に前記半導体基板又は半導体層に接続されたコンタクト部を形成する工程を含む半導体装置の製造方法が提供される。

【 0 0 1 7 】

【発明の実施の形態】

本発明の半導体装置 A 及び B は、半導体基板上に埋め込み絶縁膜を介して半導体層が形成された S O I 基板の半導体層に、主として、完全空乏型 P M O S トランジスタ及び／又は N M O S トランジスタが形成されて構成される。

【 0 0 1 8 】

S O I 基板としては、張り合わせ S O I （ B E S O I ） 基板、 S I M O X （ Separation by Implantation of Oxygen ） 型基板等として用いられるものが挙げられる。

【 0 0 1 9 】

半導体基板としては、例えば、シリコン、ゲルマニウム等の元素半導体基板、GaAs、InGaAs等の化合物半導体等、種々の基板を用いることができる。なかでも単結晶シリコン基板又は多結晶シリコン基板が好ましく、単結晶シリコン基板が特に好ましい。半導体基板は、リン、砒素等のN型又はボロン等のP型の不純物のドーピングにより比較的抵抗（例えば $20\ \Omega\text{cm}$ 程度以下、好ましくは $10\ \Omega\text{cm}$ 程度）であるものが好ましい。なかでも、P型のものがより好ましい。また、その結晶面方位は(100)が好ましい。

【0020】

埋め込み絶縁膜としては、例えば、 SiO_2 膜、 SiN 膜等が挙げられ、なかでも SiO_2 膜が好ましい。この膜厚は、得ようとする半導体装置の特性、得られた半導体装置を使用する際の印加電圧の高さ等を考慮して、適宜調整することができるが、例えば $50\sim1000\text{nm}$ 程度が挙げられ、 500nm 前後が適当である。

【0021】

半導体層は、トランジスタを形成するための活性層として機能する半導体薄膜であり、シリコン、ゲルマニウム等の元素半導体、GaAs、InGaAs等の化合物半導体等の薄膜により形成することができる。なかでもシリコン薄膜が好ましく、このシリコン薄膜は単結晶であることが好ましい。半導体層の膜厚は得ようとする半導体装置の構成から考慮して、適宜調整することができ、例えば $50\sim1000\text{nm}$ 程度が挙げられ、さらに $100\sim500\text{nm}$ 程度が挙げられる。

【0022】

本発明の半導体装置A及びBは、上記のSOI基板の半導体層に素子分離膜を形成することによって活性領域が規定され、この活性領域にMOSトランジスタが形成されている。また、これら半導体装置においては、半導体基板にバイアス電圧が印加される。バイアス電圧は、固定値であってもよく、適宜変動してもよい。なかでも、MOSトランジスタにより構成される半導体回路の動作状態と待機状態とで、それぞれ異なるバイアス電圧が半導体基板に印加されることが好ましい。さらに、これら半導体装置においては、活性領域又は素子分離領域内に、

あるいは半導体基板側に、半導体基板にバイアス電圧を印加するためのコンタクト部が形成されている。なかでも、素子分離領域内にコンタクト部が形成されていることが好ましい。

【 0 0 2 3 】

MOSトランジスタは、Nチャネル型MOSトランジスタ又はPチャネル型MOSトランジスタのいずれでもよく、また、Nチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタの双方であってもよい。なかでも、同一半導体層にNチャネル型MOSトランジスタとPチャネル型MOSトランジスタとが形成されているのが好ましい。

【 0 0 2 4 】

本発明の半導体装置A及びBは、半導体層に形成されたMOSトランジスタの下方の半導体基板に、この基板の他の領域よりも不純物濃度の高いウェルが形成され、このウェルがコンタクト部と接続されていることが好ましい。ここで、ウェルは、MOSトランジスタがNチャネル型の場合には、P型であることが好ましく、Pチャネル型の場合には、N型であることが好ましい。なお、同一半導体層にNチャネル及びPチャネルの双方のMOSトランジスタが形成されている場合には、半導体基板におけるP型ウェルとN型ウェルとは、電氣的に分離されていることが好ましい。また、P型ウェル又はN型ウェルが複数個形成されている場合にも、各ウェルは、電氣的に分離されていることが好ましい。

【 0 0 2 5 】

半導体基板に形成されるウェルがP型の場合は、ボロン、アルミニウム、ガリウム、インジウム等、N型の場合は、リン、砒素等の不純物を導入することにより形成することができる。ウェルが半導体基板の導電型と逆である場合には、半導体基板における不純物を相殺してウェルが形成されることとなるため、不純物濃度のばらつき防止の点から、低濃度より中濃度以上とすることが望ましいが、いずれの導電型のウェルであっても、半導体層や埋め込み絶縁膜への注入ダメージの観点から、不純物濃度は、例えば、 10^{17} cm^{-3} 程度以下が好ましく、 $10^{16} \text{ cm}^{-3} \sim 10^{17} \text{ cm}^{-3}$ 程度がより好ましい。

【 0 0 2 6 】

ウェルの深さは、その上に形成されるMOSトランジスタの態様、最終的に得られる半導体装置の特性等に応じて適宜調整することができるが、例えば、半導体基板と逆の導電型ウェルの場合には $0.1 \sim 1.0 \mu\text{m}$ 程度、半導体基板と同じ導電型ウェルの場合には $0.1 \sim 0.5 \mu\text{m}$ 程度が挙げられる。

【0027】

ウェルは、例えば、SOI基板の半導体層に素子分離領域を形成する前又は形成した後に、公知の方法、例えば、フォトリソグラフィー及びエッチング工程により、ウェルを形成しようとする領域に開口を有するマスクを形成し、このマスクを用いてイオン注入することにより形成することができる。

【0028】

また、このウェルがコンタクト部と接続する場合には、コンタクト抵抗を低減するために、ウェル表面に、ウェルと同じ導電型であって、ウェルを形成する不純物の濃度よりも高い不純物濃度を有するウェルコンタクトを形成することが好ましい。ウェルコンタクトの形成は、例えば、コンタクト部を形成する際に使用したレジストパターンをマスクとして用いて、ウェルと同じ導電型の不純物をイオン注入することにより形成してもよいし、別途、ウェルコンタクトを形成しようとする領域に開口を有するレジストパターンを形成し、このレジストパターンをマスクとして用いて、ウェルと同じ導電型の不純物をイオン注入することにより形成してもよい。ウェルコンタクトの不純物濃度は、ウェルの不純物濃度、コンタクト部に印加する電圧等により適宜調整することができるが、例えば、P型の場合、 10^{18}cm^{-3} 程度以上、N型の場合、 10^{20}cm^{-3} 程度以上が好ましい。なお、イオン注入の際の注入エネルギーは、ウェルコンタクトを形成しようとする領域上に存在する埋め込み絶縁膜、半導体層の膜厚等により適宜調整できる。例えば、不純物としてリンを用いる場合には、 $100 \sim 180 \text{keV}$ 程度、ボロンを用いる場合、 $80 \sim 150 \text{keV}$ 程度が挙げられる。

【0029】

複数のウェルを分離する方法としては、例えば、各ウェルに電圧を印加した場合に電氣的に接続されない間隔をあけて各ウェルを配置する方法、ウェルとウェルとの間に絶縁膜による分離領域を形成する方法等が挙げられる。分離領域を形

成する方法としては、例えば、MOSトランジスタ形成領域以外の半導体層、埋め込み絶縁膜及び半導体基板の表面の一部を除去し、素子分離膜を形成する方法、半導体層表面から、半導体基板内に至るトレンチを形成し、トレンチ内に絶縁膜を埋め込む方法等が挙げられる。

【0030】

また、本発明の半導体装置Cは、支持基板上に第1絶縁層、第1半導体層、第2絶縁層埋及び第2半導体層が順次積層された多層SOI基板の第2半導体層に、主として、完全空乏化型PMOSトランジスタ及び／又はNMOSトランジスタが形成されて構成され、第1半導体層にバイアス電圧が印加されてなる。

【0031】

本発明の多層SOI基板は、支持基板、第1絶縁層、第1半導体層、第2絶縁層、第2半導体層が順次積層されたものであればどのような基板であってもよく、例えば、半導体基板に酸素をイオン注入して熱処理し、第1絶縁層としての埋め込み酸化膜を半導体基板内に形成するSIMOX (Separation by Implantation of Oxygen) 型基板、熱酸化により表面に酸化膜が形成された半導体基板を2枚貼り合わせた基板 (BESOI基板) ; 半導体基板上にエピタキシャル成長により第1絶縁層及び第1半導体層を形成したSOI基板に、熱酸化又はエピタキシャル成長等により表面に酸化膜を形成した半導体基板を張り合わせて形成した、いわゆる張り合わせ型多層SOI基板; 半導体基板に、エピタキシャル成長により第1絶縁膜、第1半導体層、第2絶縁膜及び第2半導体層を順次積層した多層SOI基板等が挙げられる。

【0032】

支持基板は、上記したSOI基板における半導体基板の他、サファイア、石英、ガラス、プラスチック等の絶縁性基板等、種々の基板を使用することができる。なかでも単結晶シリコン基板又は多結晶シリコン基板が好ましく、上記した単結晶シリコン基板が特に好ましい。

【0033】

第1絶縁層及び第2絶縁層としては、上記した埋め込み絶縁膜と同様のものが挙げられる。なお、第2絶縁膜の膜厚は、得ようとする半導体装置の特性、得ら

れた半導体装置を使用する際の印加電圧の高さ等を考慮して、適宜調整することができ、例えば50～200nm程度が挙げられ、100nm程度が適当である。

【0034】

第1及び第2半導体層としては、上記した半導体層と同様のものを用いることができる。

本発明の半導体装置Cは、第2半導体層に素子分離膜を形成することによって活性領域が規定され、この活性領域にMOSトランジスタが形成されている。MOSトランジスタは、上述したSOI基板に形成されたMOSトランジスタと同様のものが挙げられる。

【0035】

第1半導体層に印加されるバイアス電圧は、固定値であってもよく、適宜変動してもよい。なかでも、MOSトランジスタにより構成される半導体回路の動作状態と待機状態とで、それぞれ異なるバイアス電圧が第1半導体層に印加されることが好ましい。バイアス電圧は、活性領域又は素子分離領域内に、あるいは半導体基板側に形成された、第1半導体層にバイアス電圧を印加するためのコンタクト部を通して印加される。なお、コンタクト部は、素子分離領域内に形成されていることが好ましい。

【0036】

本発明の半導体装置Cは、第2半導体層に形成されたMOSトランジスタの下方の第1半導体層表面に、第1半導体層の他の領域よりも不純物濃度の高いウェルが形成され、このウェルにバイアス電圧が印加されることが好ましい。ウェルの導電型、不純物濃度、深さ、形成方法、形成位置、ウェルが複数個形成されている場合の各ウェルの位置関係等は、上述したとおりである。

【0037】

本発明における半導体装置A～Cにおいて、バイアス電圧を印加するためのコンタクト部を素子分離領域内に形成する方法として、例えば、次のような製造方法が挙げられる。

【0038】

まず、工程（a）において、半導体基板又は半導体層上に埋め込み絶縁膜及び表面半導体層が形成されたS O I基板の前記表面半導体層に素子分離領域を形成する。ここでのS O I基板は、半導体基板上に埋め込み絶縁膜及び表面半導体層が形成されて構成される単層のS O I基板と、支持基板上に第1絶縁層、第1半導体層（半導体層）、第2絶縁層（埋め込み絶縁膜）及び第2半導体層（表面半導体層）が、さらに任意に絶縁層及び半導体層が、順次積層されてなる多層S O I基板との双方を含む。素子分離領域は、公知の方法、例えば、L O C O S法、トレンチ分離法等により形成することができる。素子分離領域の形成により、表面半導体層に活性領域を規定することができる。なお、素子分離領域は、単層のS O I基板の場合には、少なくとも表面半導体層に形成されるものであれば、埋め込み絶縁膜を貫通していてもよいし、半導体基板にまで達していてもよい。また、多層S O I基板の場合には、少なくとも第2半導体層に形成されるものであれば、第2絶縁層を貫通していてもよいし、第1半導体層、第1絶縁層又は支持基板にまで達していてもよい。

【0039】

工程（b）において、半導体基板又は半導体層に達するトレンチを前記素子分離領域内に形成する。トレンチを形成する方法としては、例えば、素子分離領域上に開口を有するレジストパターンを形成し、このレジストパターンをマスクとして用いて素子分離領域、表面半導体層及び埋め込み絶縁膜を順次エッチングする方法が挙げられる。この場合のトレンチの大きさは、半導体基板又は半導体層に所望のバイアス電圧を印加ことために十分な大きさであれば特に限定されるものではない。なお、半導体基板又は半導体層においてすでにウェルが形成されている場合には、トレンチは、このウェルに達するように形成することが必要である。

【0040】

工程（c）において、トレンチを含む表面半導体層上全面に絶縁膜を形成する。この絶縁膜としては、例えばS i O₂、S i N又はこれらの積層膜等が挙げられる。膜厚は、トレンチを完全に埋設することができる程度であれば特に限定されるものではなく、例えば、200～1500nm程度が挙げられる。これらの

絶縁膜は、CVD法等の公知の方法で形成することができる。

【0041】

工程(d)において、絶縁膜をエッチバックすることにより、トレンチの側壁にサイドウォールスペーサーを形成するとともにトレンチ底部の半導体基板又は半導体層を露出させる。エッチバックは、例えば、異方性エッチングにより行うことができる。これにより、表面半導体層上及びトレンチ底部に存在していた絶縁膜を除去することができ、トレンチ底部の半導体基板又は半導体層を露出させることができるとともに、トレンチの側壁にはこの絶縁膜によるサイドウォールスペーサーを形成することができる。

【0042】

工程(e)において、トレンチ内に導電膜を埋め込むことにより素子分離領域内に、半導体基板又は半導体層に接続されたコンタクト部を形成する。この工程は、例えば、まずトレンチを含む表面半導体層上全面に導電膜を形成し、表面半導体層上に存在する導電膜を除去することにより実現することができる。ここで形成される導電膜の材料は特に限定されるものではなく、例えば、アルミニウム、銅、金、銀、白金等の金属、タンタル、チタン、タングステン等の高融点金属、不純物を含有するポリシリコン等の単層膜又は積層膜により形成することができる。導電膜の膜厚は、トレンチを完全に埋設することができる程度であれば特に限定されるものではなく、例えば、200～1500nm程度が挙げられる。

【0043】

また、表面半導体層上に存在する導電膜を除去する方法としては、例えば、エッチバック、研磨処理等が挙げられる。エッチバックは、例えば、スパッタ法、RIE法等のドライエッチング、導電膜を腐食させる溶液を用いたウェットエッチング等種々の方法により行うことができる。また研磨処理は、CMP法又は研磨剤を使用したCMP法等が挙げられる。この際のエッチバック又は研磨処理は、素子分離領域に形成したトレンチ内部のみに導電膜が埋設され、素子分離領域の表面が完全に露出するように行うことが好ましい。これにより、素子分離領域内に半導体基板又は半導体層に接続されたコンタクト部を形成することができる。

【 0 0 4 4 】

なお、本発明の半導体装置の製造方法においては、上記の各工程の前、中、後において、半導体基板又は半導体層のウェルの形成、ウェルコンタクトの形成、表面半導体層への不純物の導入、MOSトランジスタの形成、層間絶縁膜の形成、層間絶縁膜へのコンタクトホール形成、配線層の形成、熱処理等を必要に応じて行うことが好ましい。また、コンタクト部を素子分離領域内に形成しない場合には、所望の領域内に、実質的に上記と同様にコンタクト部を形成することができる。

【 0 0 4 5 】

以下に、本発明の半導体装置及びその製造方法の実施の形態を図面に基づいて説明する。

【 0 0 4 6 】

実施の形態 1

この実施の形態の半導体装置は、図 1 (a) に示したように、P 型のシリコン基板 1 1 上に SiO_2 からなる埋め込み絶縁膜 1 2 を介して単結晶シリコンからなる半導体層 1 3 が形成されてなる SOI 基板 1 0 に NMOS トランジスタが形成されてなる。NMOS トランジスタは、P 型の不純物がドーピングされた半導体層 1 3 上にゲート絶縁膜 1 4 を介してゲート電極 1 5 が形成され、ゲート電極 1 5 の両側であって、半導体層 1 3 内にソース／ドレイン領域 1 6 が形成されて構成されている。なお、シリコン基板 1 1 には負の電位が印加されている。

【 0 0 4 7 】

また、図 1 (b) に示したように、N 型のシリコン基板 2 1 上に SiO_2 からなる埋め込み絶縁膜 2 2 を介して単結晶シリコンからなる半導体層 2 3 が形成された SOI 基板 2 0 に PMOS トランジスタが形成されてなる。PMOS トランジスタは、N 型の不純物がドーピングされた半導体層 2 3 上にゲート絶縁膜 2 4 を介してゲート電極 2 5 が形成され、ゲート電極 2 5 の両側であって、半導体層 2 3 内にソース／ドレイン領域 2 6 が形成されて構成されている。なお、シリコン基板 2 1 には正の電位が印加されている。

【 0 0 4 8 】

このような構成により、MOSトランジスタにおけるチャネル及びチャネル下部の間が空乏化し、寄生容量を減少させることができる。その結果、MOSトランジスタの動作速度を向上させることができる。

【0049】

上記のMOSトランジスタ特性を、図2(a)及び(b)に示す。なお、MOSトランジスタの L/W は $0.35\mu\text{m}/10\mu\text{m}$ であった。

例えば、NMOSトランジスタにおいて、動作時の基板バイアス電圧 V_{bg} を3V、待機時の基板バイアス電圧 V_{bg} を-3Vと設定することにより、動作時のしきい値電圧 V_{th} を0.2Vと低減させることができるとともに、待機時のオフ電流 I_{off} を $1 \times 10^{-12}\text{A}$ と低減させることができる。

【0050】

また、PMOSトランジスタにおいて、動作時の基板バイアス電圧 V_{bg} を-3V、待機時の基板バイアス電圧 V_{bg} を3Vと設定することにより、動作時のしきい値電圧 V_{th} を-0.2Vとすることができるとともに、待機時のオフ電流 I_{off} を $1 \times 10^{-12}\text{A}$ に制御することができる。

このように、図2(a)及び(b)から、基板に印加するバイアス電圧を変化させることにより、トランジスタのしきい値電圧とオフ電流を制御することが可能となることがわかる。その結果、待機時のオフ電流を低く設定できるため、低消費電力化が可能となる。

【0051】

実施の形態2

この実施の形態の半導体装置は、図3に示したように、P型のシリコン基板31（抵抗値約 $10\Omega\text{cm}$ ）、膜厚約 100nm の SiO_2 からなる埋め込み絶縁膜32及び膜厚約 50nm の単結晶シリコンからなる半導体層33から構成されるSOI基板30（SIMOX基板）において、P型の不純物がドーピングされた半導体層33上に、ゲート絶縁膜34を介してゲート電極35が形成され、ゲート電極35の両側であって、半導体層33内にソース／ドレイン領域36が形成されてNMOSトランジスタが構成されている。

また、NMOSトランジスタの下方であって、シリコン基板31の表面にはP

型の高濃度不純物拡散層 3 1 a が形成されている。

【0 0 5 2】

さらに、NMOS トランジスタの側方に、半導体層 3 3 表面から高濃度不純物拡散層 3 1 a に至る素子分離用トレンチ 3 7 が形成されており、素子分離用トレンチ 3 7 内には、絶縁膜からなるサイドウォールスペーサー 3 7 a と、ウェルコンタクト用の導電体 3 7 b が埋め込まれている。

なお、NMOS トランジスタ上には絶縁膜 3 8 が形成されており、この絶縁膜 3 8 の素子分離用トレンチ 3 7 内の導電体 3 7 b と NMOS トランジスタとの上方にウェルコンタクト用ホール 3 9 a とトランジスタ用のコンタクトホール 3 9 b が形成され、導電材が埋め込まれている。

【0 0 5 3】

以下に、複数の NMOS トランジスタ及び PMOS トランジスタを有する半導体装置の製造方法について説明する。

まず、P 型のシリコン基板 3 1、埋め込み絶縁膜 3 2 及び半導体層 3 3 から構成される SOI 基板 3 0 を用い、この SOI 基板 2 0 における半導体層 3 3 上の PMOS トランジスタを形成する領域に開口を有するレジストパターンを形成する（図示せず）。このレジストパターンをマスクとして用いて、シリコン基板 3 1 の表面に、リンを、注入エネルギー 1 8 0 k e V、ドーズ $1 0^{13} \text{ cm}^{-2}$ でイオン注入することにより N 型ウェル 3 1 a を形成する。同様に、NMOS トランジスタを形成する領域に、ボロンを用いて P 型ウェル 3 1 b を形成する（図 4（a）参照）。

【0 0 5 4】

次に、図 4（b）に示すように、公知の方法によって、素子分離用トレンチ 3 7 を形成し、トランジスタの活性領域を規定する。ここでの素子分離用トレンチ 3 7 は、埋め込み絶縁膜 3 2 を貫通するように形成する。これにより、素子分離用トレンチ 3 7 の一部が、後に示すように、シリコン基板 3 1 表面に形成されたウェルコンタクトを兼ねることになる。

【0 0 5 5】

続いて、素子分離用トレンチ 3 7 の拡大図である図 5（a）に示すように、C

VD酸化膜 3 7 a' を素子分離用トレンチ 3 7 に完全に埋め込み、図 5 (b) に示すようにCVD酸化膜 3 7 a' をエッチバックすることによりトレンチ 3 7 底部を露出させるとともに、トレンチ 3 7 側壁にサイドウォールスペーサー 3 7 a を形成する。その後、図 5 (c) に示すように、ウェルコンタクトをとるためのリフラクトメタルであるタングステン膜又はドーブドポリシリコン膜を堆積する。なお、ドーブドポリシリコンを用いる場合には、N型ウェルにはNドーブドポリシリコン、P型ウェルにはPドーブドポリシリコンを使用する。その後、図 5 (d) に示したように、タングステン膜又はドーブドポリシリコン膜をエッチバックし、ウェルコンタクト用の導電体 3 7 b を形成する。

【0056】

次いで、図 4 (c) に示すように、得られたSOI基板 3 0 の半導体層 3 3 上に、ゲート絶縁膜を介して、PMOS用のゲート電極 3 5 a、NMOS用のゲート電極 3 5 b、ソース／ドレイン領域（図示せず）をそれぞれ形成し、図 4 (d) に示すように、絶縁膜 3 8 を形成する。

その後、素子分離用トレンチ 3 7 に埋め込まれた導電体 3 7 b 上の絶縁膜 3 8 にウェルコンタクト用ホール 3 9 a、通常のトランジスタ用のコンタクトホール 3 9 b を形成し、導電材を埋め込む。これにより、シリコン基板 3 1 にバイアス電圧を印加するためのコンタクト部が形成される。

【0057】

これらのMOSトランジスタのトランジスタ特性を、図 6 (a)、(b) 及び図 7 (a)、(b) に示す。ここでのMOSトランジスタのL/Wは $0.35\mu\text{m}/10\mu\text{m}$ であった。また、しきい値電圧 V_{th} 測定の際の I_d は $0.1\mu\text{A}/\mu\text{m}$ 、 V_d は 0.1V 、オフ電流 I_{off} 測定の際の V_g は 0V 、 V_d は 1.5V であった。

【0058】

このように、この実施の形態における半導体装置によれば、同一ウェル内にあるトランジスタにおいて、基板に印加するバイアス電圧を変化させることにより、トランジスタのしきい値電圧とオフ電流を制御することが可能となり、その結果、待機時のオフ電流を低く設定できるため、低消費電力化が可能となる。また

、素子分離用トレンチは、素子分離領域として利用されるだけでなく、ウェルコンタクトとしても共用されることになり、集積回路のさらなる微細化を図ることができる。

【0059】

実施の形態 3

この実施の形態の半導体装置は、図 8 (a) 及び (b) に示したように、多層 SOI 基板 40 に形成されてなる。

SOI 基板 40 は、単結晶シリコンからなる支持基板 41 上に膜厚 500 nm のシリコン酸化膜からなる第 1 絶縁層 42 と、膜厚 200 nm の単結晶シリコンからなる第 1 半導体層 43 とが形成された SIMOX 基板上に、さらに膜厚 10 nm の熱酸化膜からなる第 2 絶縁層 44 と、抵抗率 20 Ω cm、結晶面方位 (100)、膜厚 100 nm の P 型単結晶シリコンからなる第 2 半導体層 45 とが積層されて構成される。

【0060】

第 2 半導体層 45 上には、トレンチ素子分離領域 46 により MOS トランジスタの形成領域が規定され、この領域上に、ゲート絶縁膜を介してゲート電極 48 a、48 b が形成され、ゲート電極 48 a、48 b の両側であって、第 2 半導体層 45 内にソース／ドレイン領域 49 a、49 b が形成されて NMOS トランジスタ及び PMOS トランジスタが構成されている。

なお、トレンチ素子分離領域 46 内には、ウェルコンタクト 50 が形成されており、このウェルコンタクト 50 は、各 MOS トランジスタの下方に位置する第 1 半導体層 43 に形成された P 型ウェル 43 a、N 型ウェル 43 b に接続されている。

P 型ウェル 43 a、N 型ウェル 43 b は、トレンチ素子分離領域 46 を構成する素子分離膜が第 1 絶縁膜 42 まで貫通することにより、それぞれ分離されている。

【0061】

以下に、この半導体装置の製造方法を説明する。

まず、多層 SOI 基板 40 において、活性領域以外の第 2 半導体層 45、第 2

絶縁層 4 4 及び第 1 半導体層 4 3 を選択的に除去し、公知の技術を用いて絶縁層を積層して、トレンチ素子分離領域 4 6 を形成する。

次に、フォトリソグラフィ及びエッチング工程により、第 2 半導体層 4 5 上の PMOS トランジスタを形成する領域に開口を有するレジストパターンを形成する（図示せず）。このレジストパターンをマスクとして用いて、第 1 半導体層 4 3 の表面に、リンを、注入エネルギー 180 keV 、ドーズ 10^{13} cm^{-2} でイオン注入することにより N 型ウェル 4 3 b を形成する。同様に、NMOS トランジスタを形成する領域に、ボロンを用いて P 型ウェル 4 3 a を形成する。

【0062】

続いて、第 2 半導体層 4 5 上に、ゲート絶縁膜を介して、NMOS のゲート電極 4 8 a、PMOS のゲート電極 4 8 b、ソース／ドレイン領域 4 9 a、4 9 b をそれぞれ形成する。

【0063】

さらに、第 1 半導体層 4 3 の P 型ウェル 4 3 a、N 型ウェル 4 3 b の電位を変化させるためのウェルコンタクトホールを形成し、実施の形態 2 と同様に、ウェルコンタクトホール内に導電材を埋め込みことにより、ウェルコンタクト 5 0 を形成する。

この実施の形態における半導体装置のトランジスタ特性は、図 2 (a) 及び (b) に示すものと同様であった。

【0064】

このようにこの実施の形態の半導体装置によれば、トランジスタの閾値電圧とオフ電流とを、基板電圧を変化させることにより所望の値に変化させることができる。したがって、待機時のオフ電流を低く設定でき、低消費電力化が可能となる。また、第 1 半導体層に形成される各ウェルが、酸化膜等からなる絶縁膜で完全に分離されていることにより、隣接するウェル間で、ウェルに印加する電圧を自由に変えることができる。

【0065】

実施の形態 4

この実施の形態の半導体装置は、図 9 に示したように、実施の形態 3 と同様の

構成の多層 S O I 基板 6 0 を用いる。

S O I 基板 6 0 は、支持基板 6 1、第 1 絶縁層 6 2、第 1 半導体層 6 3、第 2 絶縁層 6 4 及び第 2 半導体層 6 5 が順次積層されて構成される。

第 2 半導体層 6 5 上には、トレンチ素子分離領域 6 6 と、ゲート絶縁膜を介して形成されたゲート電極 6 8 a、6 8 b 及びソース／ドレイン領域 6 9 a、6 9 b からなる N M O S トランジスタ及び P M O S トランジスタとが形成されている。

なお、素子分離領域は、第 2 絶縁層 6 4 を貫通するのみであり、第 2 半導体層 6 5 には達していない。また、素子分離領域 6 6 内には、ウェルコンタクト 7 0 が形成されており、このウェルコンタクト 7 0 は、各 M O S トランジスタの下方に位置する第 1 半導体層 6 3 に形成された P 型ウェル 6 3 a、N 型ウェル 6 3 b に接続されている。さらに、P 型ウェル 6 3 a、N 型ウェル 6 3 b は第 1 半導体層 6 3 内において、接触しないように形成されており、電氣的に分離されている。

【 0 0 6 6 】

この半導体装置は、素子分離領域 6 6 を形成する際に、多層 S O I 基板 6 0 において、活性領域以外の第 2 半導体層 6 5 を選択的に除去する以外は、実施の形態 3 と同様に形成することができる。

このようにこの実施の形態の半導体装置によれば、トランジスタの閾値電圧とオフ電流とを、基板電圧を変化させることにより所望の値に変化させることができ、待機時のオフ電流を低く設定でき、低消費電力化が可能となる。また、第 1 半導体層に形成される各ウェルが、電氣的に分離されていることにより、隣接するウェル間で、ウェルに印加する電圧を自由に変えることができる。

【 0 0 6 7 】

【発明の効果】

本発明によれば、従来フローティングもしくは接地電位であった S O I 基板の半導体基板又は第 1 半導体層に、所望のバイアス電圧を印加することにより、待機状態における消費電流を低減することができる。特に、M O S トランジスタの動作状態と待機状態とで、それぞれ異なるバイアス電圧を印加する場合には、待

機状態のオフ電流を低く設定でき、低消費電力化が可能となるとともに、個々の MOS トランジスタのしきい値電圧の制御とフローティングボディ効果の抑制が十分に達成することができる。

【0068】

また、半導体基板又は第1半導体層にバイアス電圧を印加するためのコンタクト部が素子分離領域に形成されている場合には、コンタクト部のための領域を別途設ける必要がないため、さらなる微細化に対応することが可能となる。

【0069】

さらに、半導体基板又は第1半導体層にウェルが形成されている場合には、ウェルは全面を絶縁膜で覆われているために、しきい値電圧の制御を精度よく行うことができる。特に、多層 SOI 基板における第1半導体層にウェルが形成されている場合には、ウェルの上面及び下面の全面が絶縁膜で覆われているために、しきい値電圧の制御をより精度よくおこなうことができる。しかも、素子分離領域がウェルの側面をも完全に覆う場合には、さらなるしきい値電圧の制御が可能となる。

【0070】

また、ウェルが複数個形成され、互いに電氣的に分離されている場合には、ウェルごとにバイアス電圧の大きさを制御することができる。

【0071】

さらに、本発明の半導体装置の製造方法によれば、コンタクト部が素子分離領域をかねて形成されるため、コンタクト部形成のためのコンタクトホールを形成を、素子分離領域の形成と兼ねることができ、特別なマスク工程等の煩雑な工程を追加することなく、半導体装置を製造することができ、製造コストの低減を図ることができる。

【図面の簡単な説明】

【図1】

本発明における半導体装置の実施の形態を示す要部の概略断面図である。

【図2】

(a) は図1の半導体装置のしきい値電圧のバイアス電圧依存性を示すグラフ

、（b）はオフ電流のバイアス電圧依存性を示すグラフである。

【図 3】

本発明における半導体装置の別の実施の形態を示す要部の概略断面図である。

【図 4】

本発明における半導体装置の製造方法を示す要部の概略断面工程図である。

【図 5】

図 4 の半導体装置の製造方法において行われる工程を示す要部の拡大断面工程図である。

【図 6】

（a）は図 3 の半導体装置（NMOS トランジスタ）のしきい値電圧のバイアス電圧依存性を示すグラフ、（b）はオフ電流のバイアス電圧依存性を示すグラフである。

【図 7】

（a）は図 3 の半導体装置（PMOS トランジスタ）のしきい値電圧のバイアス電圧依存性を示すグラフ、（b）はオフ電流のバイアス電圧依存性を示すグラフである。

【図 8】

本発明における半導体装置のさらに別の実施の形態を示す要部の概略断面図である。

【図 9】

本発明における半導体装置のさらに別の実施の形態を示す要部の概略断面図である。

【図 1 0】

従来の S O I 構造の半導体装置を示す要部の概略断面図である。

【図 1 1】

従来の別の S O I 構造の半導体装置を示す要部の概略断面図である。

【図 1 2】

従来のさらに別の S O I 構造の半導体装置を示す要部の概略断面図である。

【図 1 3】

従来の 2 層 S O I 構造の半導体装置を示す要部の概略断面図である。

【符号の説明】

- 1 0、2 0、3 0 S O I 基板
- 1 1、2 1、3 1 シリコン基板
- 1 2、2 2、3 2 埋め込み絶縁膜
- 1 3、2 3、3 3 半導体層
- 1 4、2 4、3 4 ゲート絶縁膜
- 1 5、2 5、3 5 ゲート電極
- 1 6、2 6、3 6 ソース／ドレイン領域
- 3 1 a、4 3 b、6 3 b N型ウェル
- 3 1 b、4 3 a、6 3 a P型ウェル
- 3 5 a P M O S 用のゲート電極
- 3 5 b N M O S 用のゲート電極
- 3 7 素子分離用トレンチ
- 3 7 a サイドウォールスペーサー
- 3 7 a' C V D 酸化膜
- 3 7 b 導電体
- 3 8 絶縁膜
- 3 9 a ウェルコンタクト用ホール
- 3 9 b トランジスタ用のコンタクトホール 3 9 b
- 4 0、6 0 多層 S O I 基板
- 4 1、6 1 支持基板
- 4 2、6 2 第 1 絶縁層
- 4 3、6 3 第 1 半導体層
- 4 4、6 4 第 2 絶縁層
- 4 5、6 5 第 2 半導体層
- 4 6、6 6 トレンチ素子分離領域
- 4 8 a、4 8 b、6 8 a、6 8 b ゲート電極
- 4 9 a、4 9 b、6 9 a、6 9 b ソース／ドレイン領域

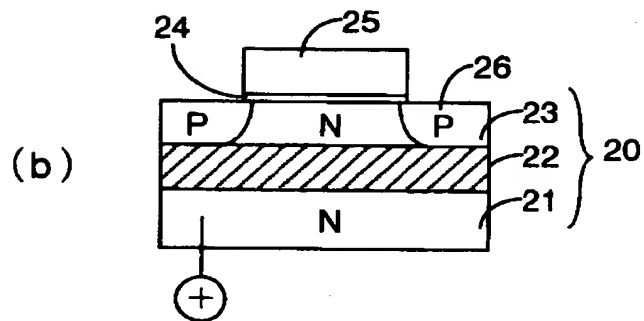
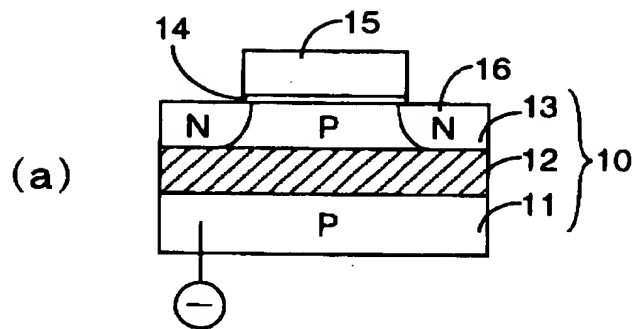
特平 1 1 - 3 4 4 9 3 3

5 0、7 0 ウェルコンタクト

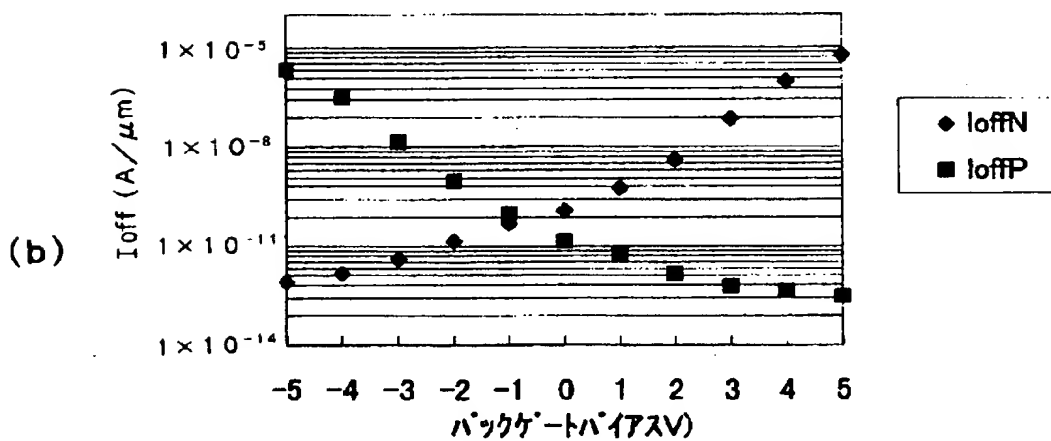
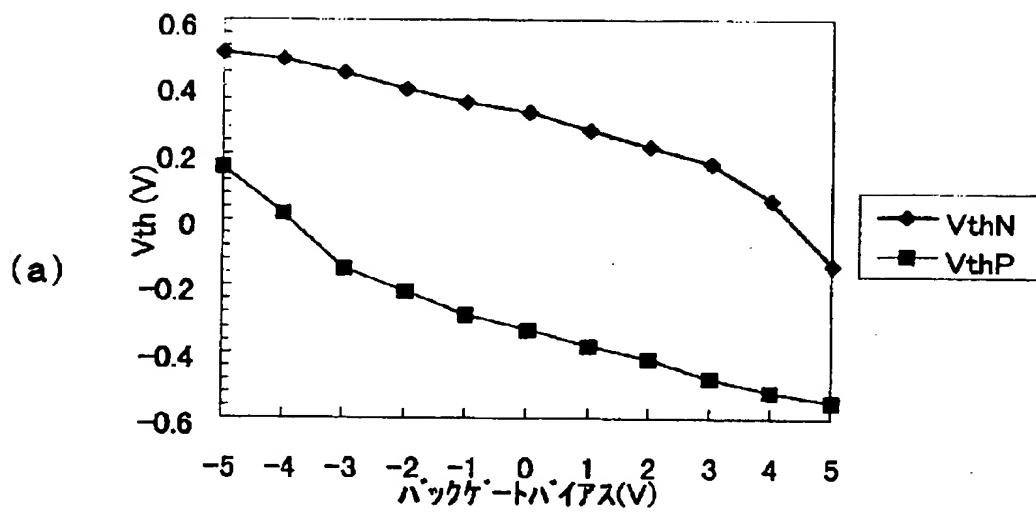
【書類名】

図面

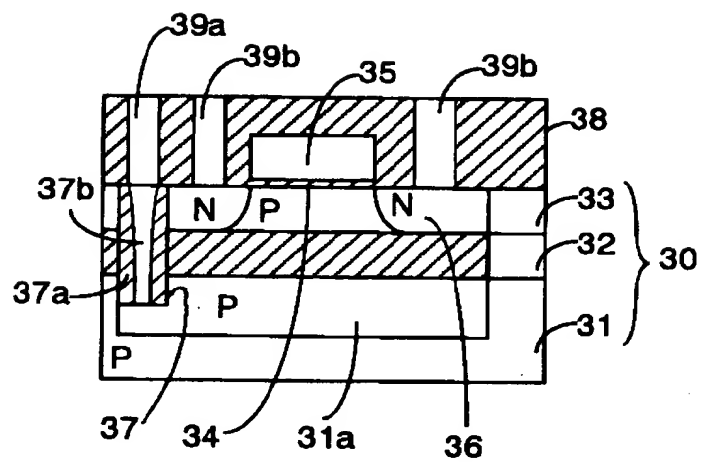
【図 1】



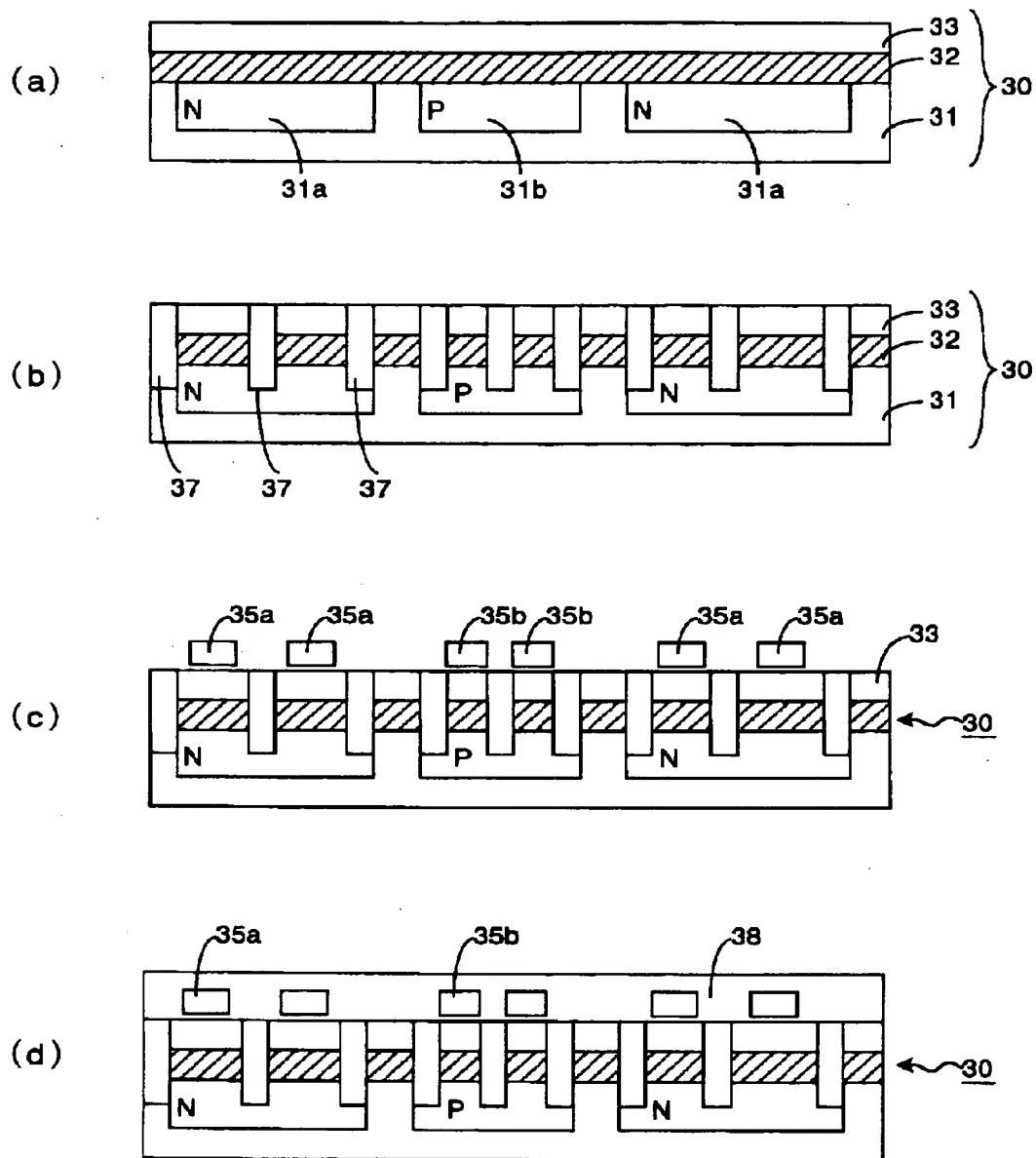
【図 2】



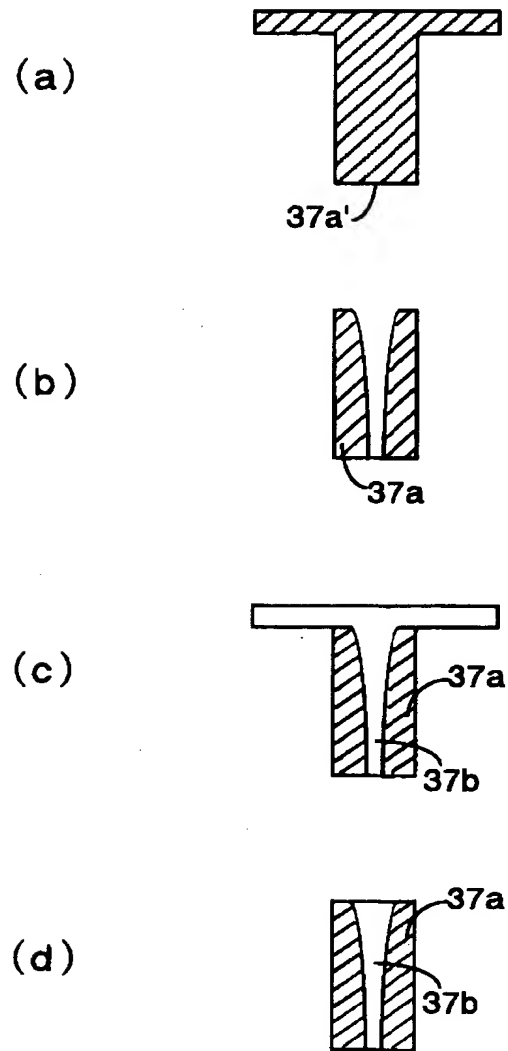
【図 3】



【図 4】

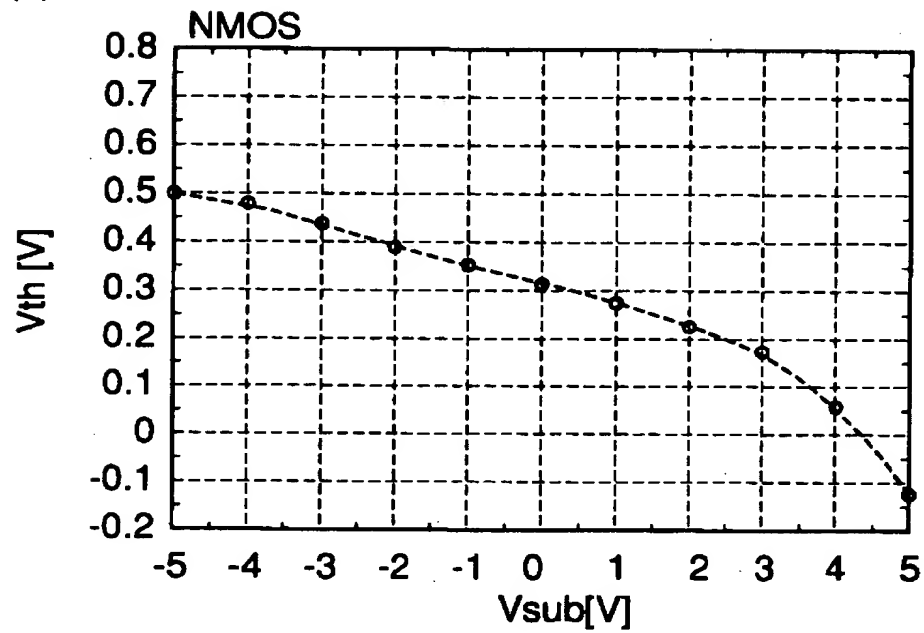


【図 5】

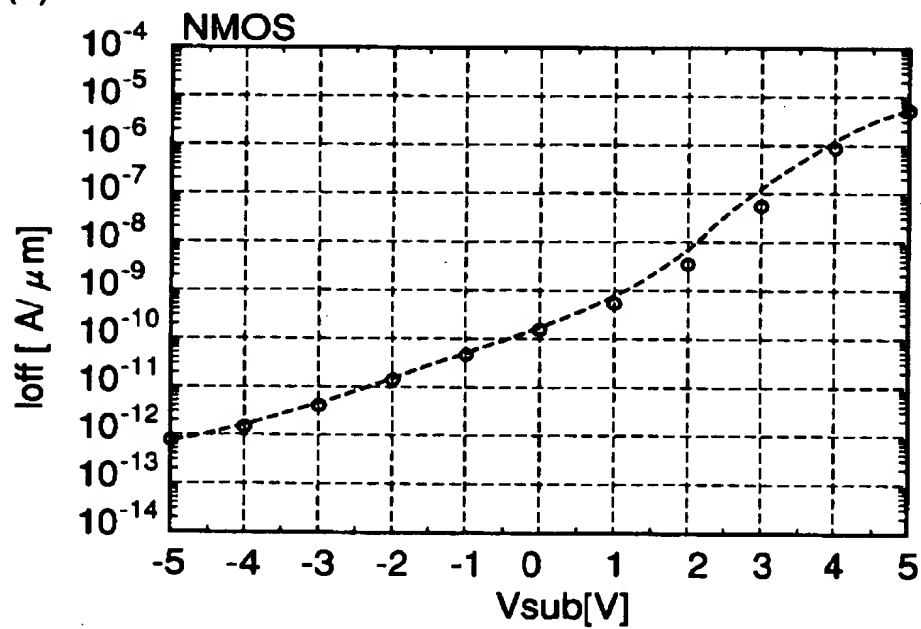


【図 6】

(a)

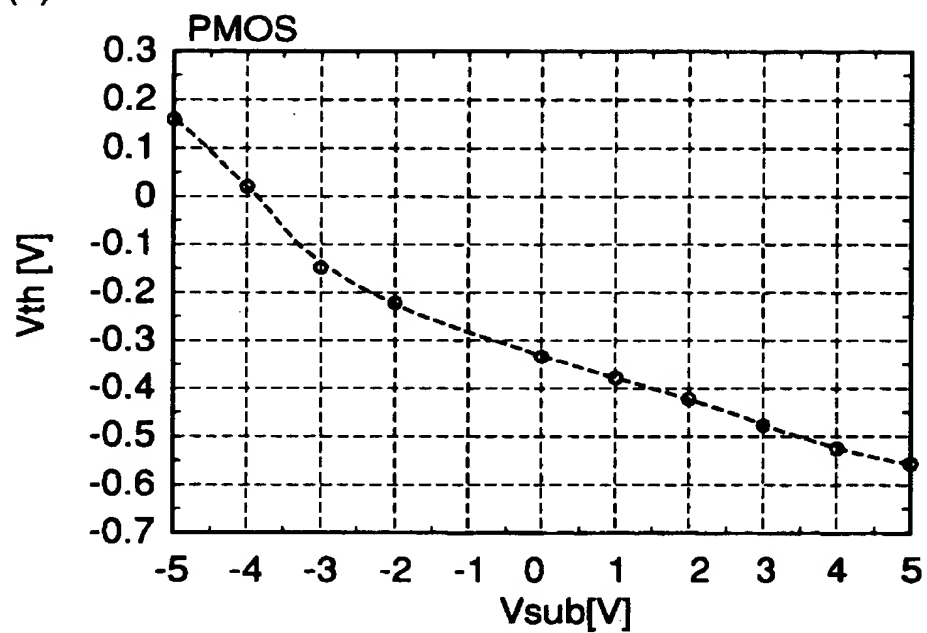


(b)

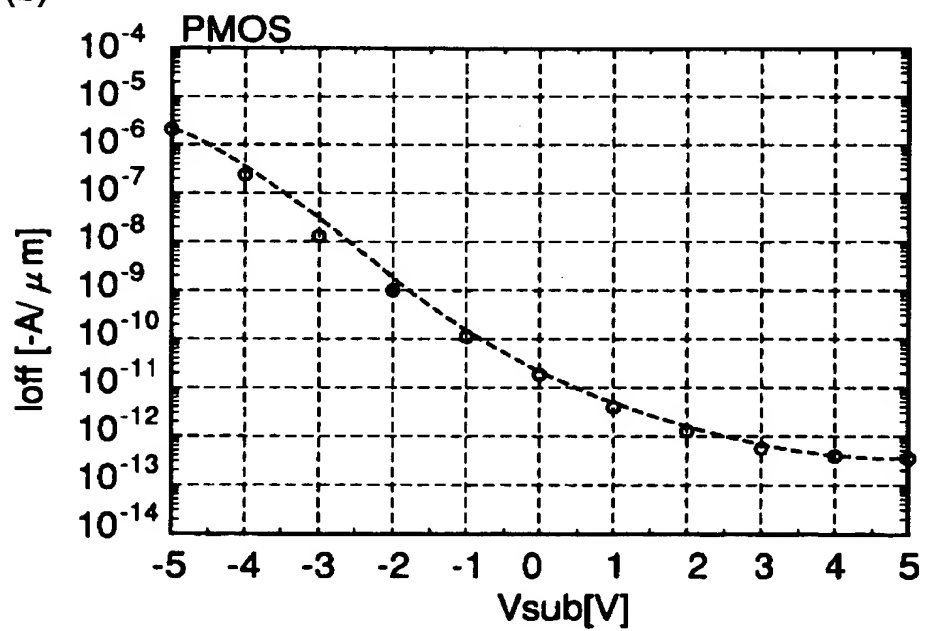


【図 7】

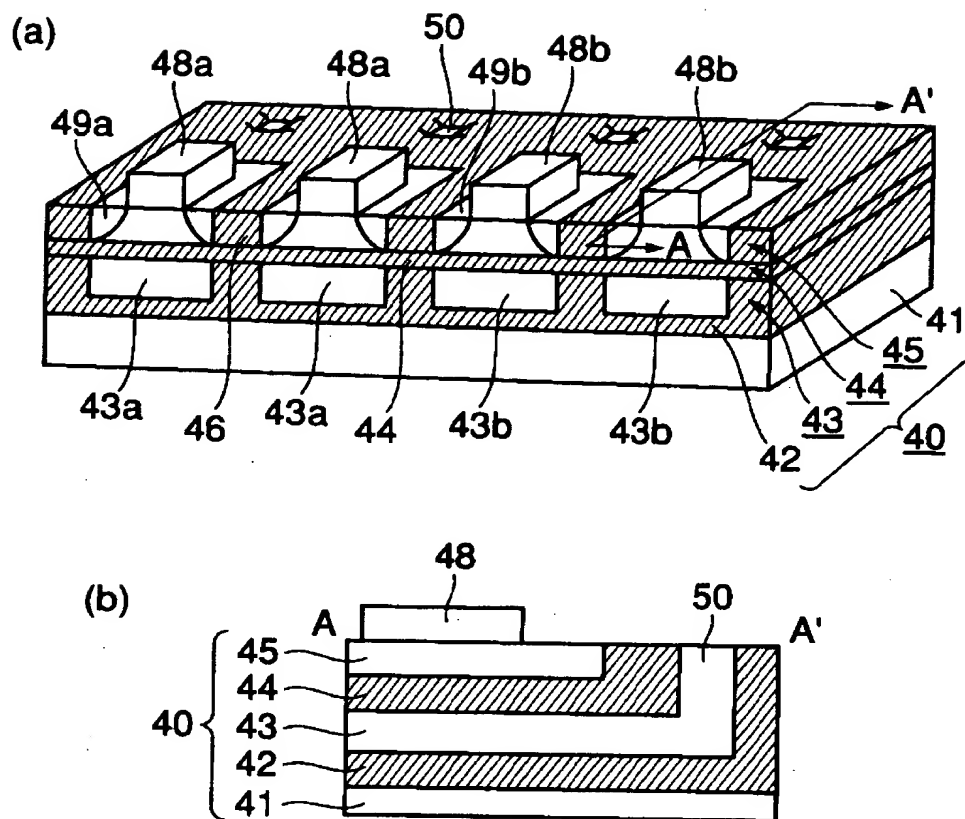
(a)



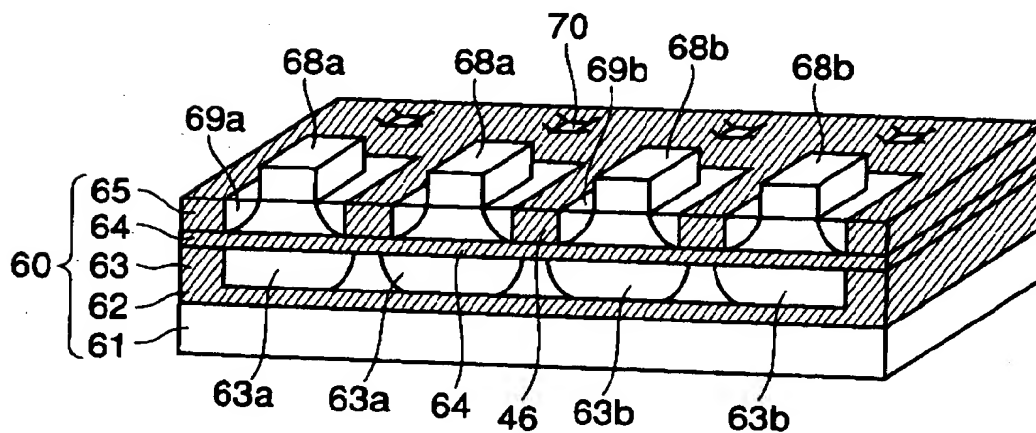
(b)



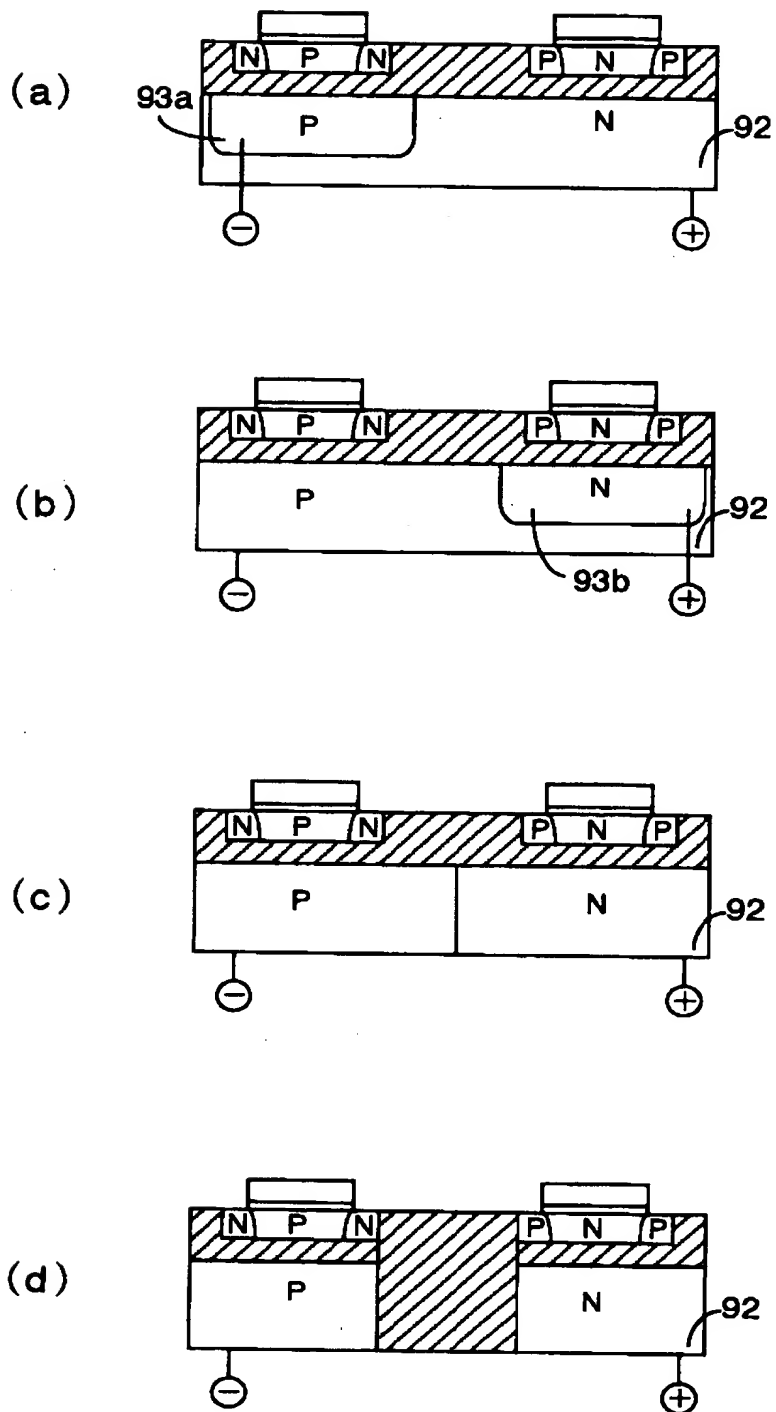
【図 8】



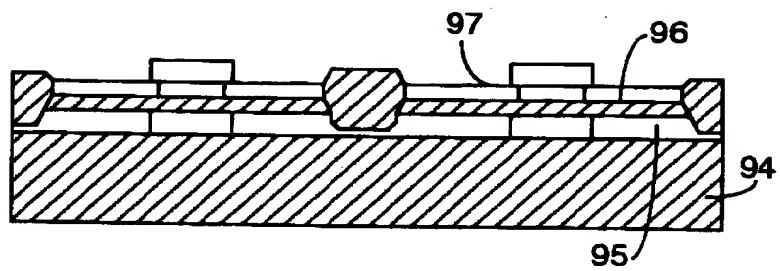
【図 9】



【図 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】さらなる半導体装置の高集積化に対応することができ、SOIトランジスタにおける寄生容量をより低減することができ、SOIトランジスタの動作時と待機時とで異なるバイアス電圧を印加することによりさらに高速化を図ることができるとともに、しきい値を制御し、フローティングボディ効果の抑制を十分に達成し得る半導体装置及びその製造方法を提供することを目的とする。

【解決手段】半導体基板 1 1、2 1 上に埋め込み絶縁膜 1 2、2 2 を介して半導体層 1 3、2 3 が形成された SOI 基板 1 0、2 0 の半導体層 1 3、2 3 に MOS トランジスタが形成されてなる半導体装置であって、前記 MOS トランジスタにより構成される半導体回路の動作状態と待機状態とで、それぞれ異なるバイアス電圧が半導体基板 1 1、2 1 に印加されてなる半導体装置。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 0 4 9]

1. 変更年月日 1 9 9 0 年 8 月 2 9 日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
氏 名 シャープ株式会社